

Návrh číslicových systémů (INC): Projekt: Ukázka návrhu

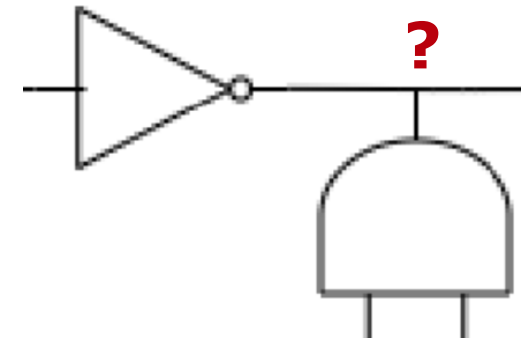
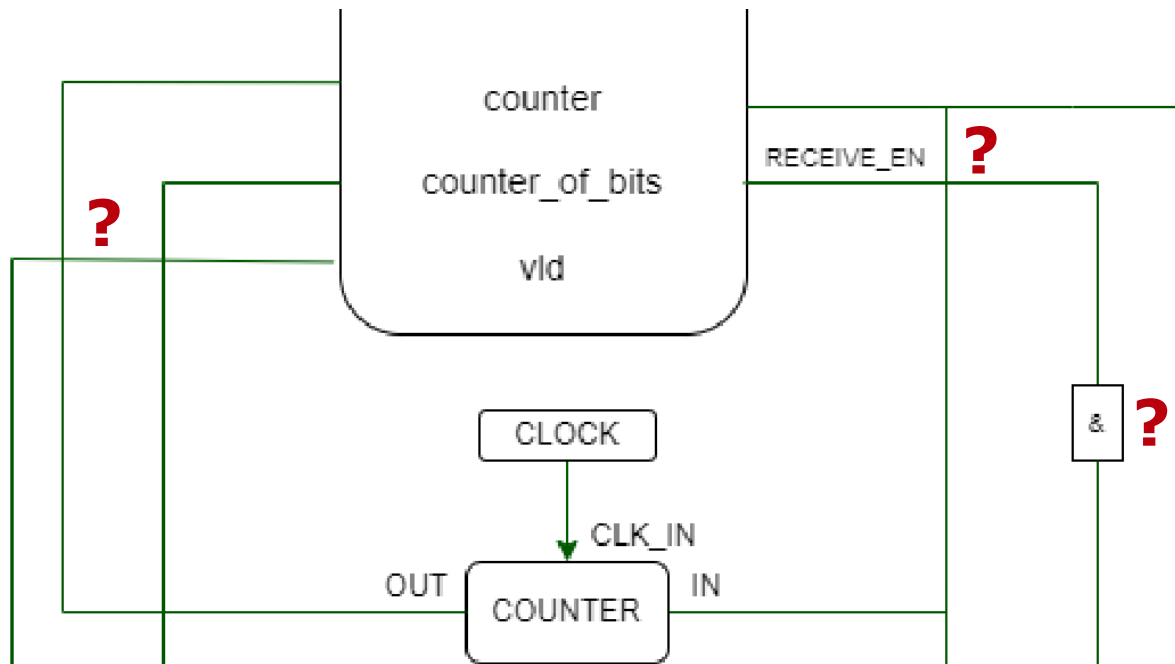
Lukáš Kekely

Brno University of Technology, Faculty of Information Technology
Božetěchova 1/2, 612 00 Brno - Královo Pole
ikekely@fit.vutbr.cz

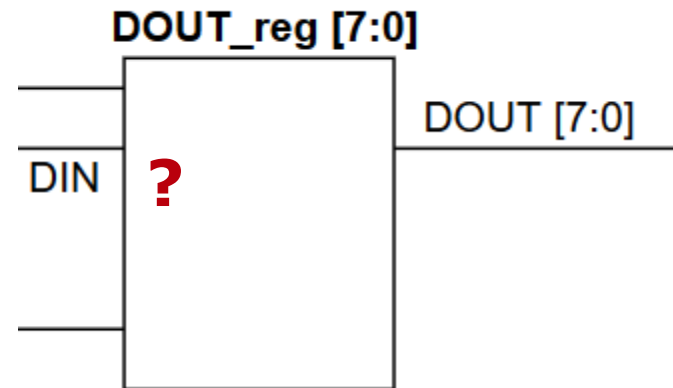
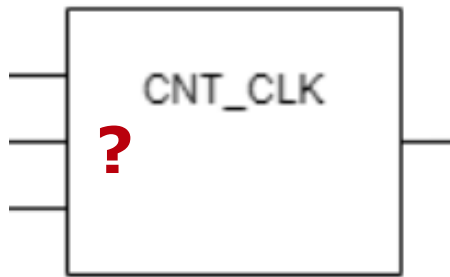


01. 02. 2023

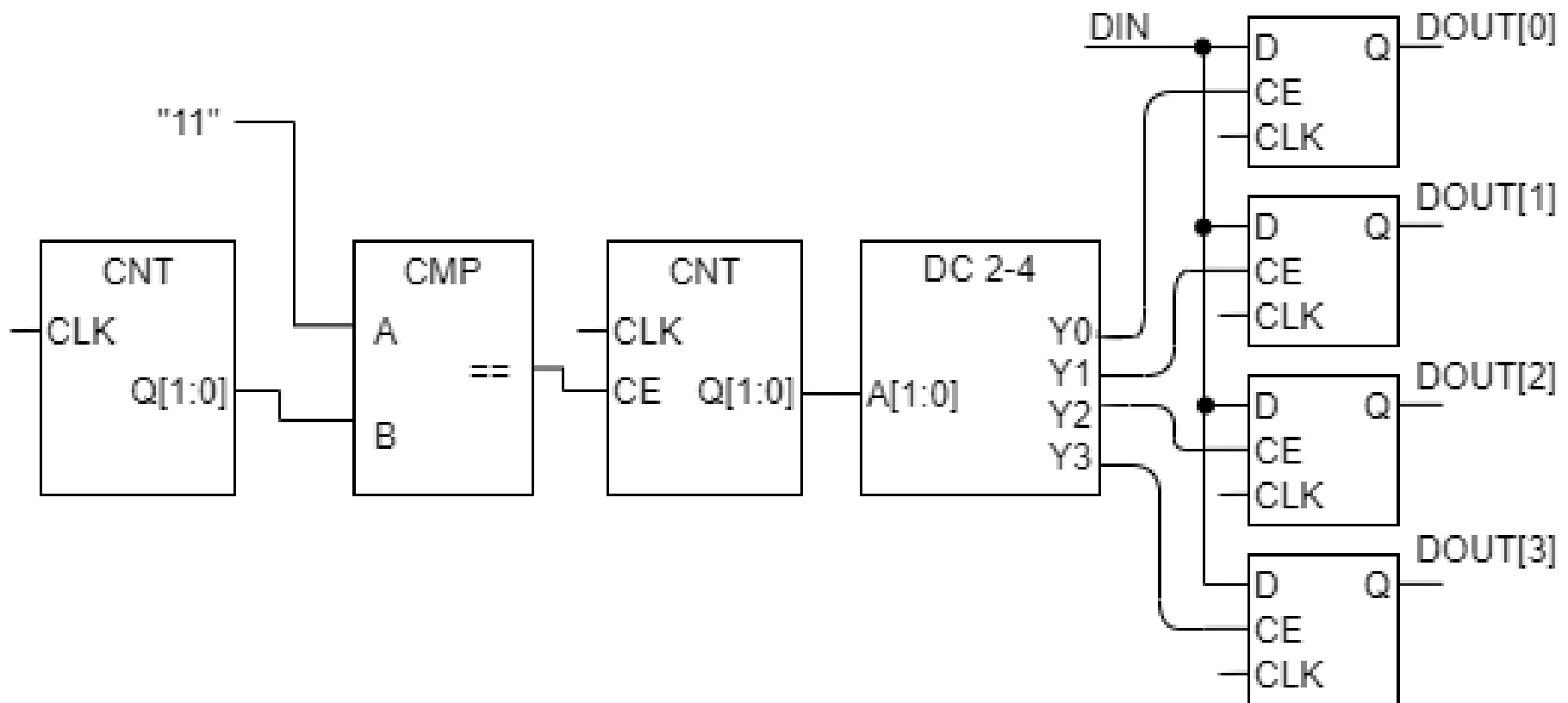
- Nesprávně nebo nepřehledně nakresleny vodiče
 - zejména rozlišení křížení a větvení vodičů
 - spojení dvou a více vodičů bez hradla není možné



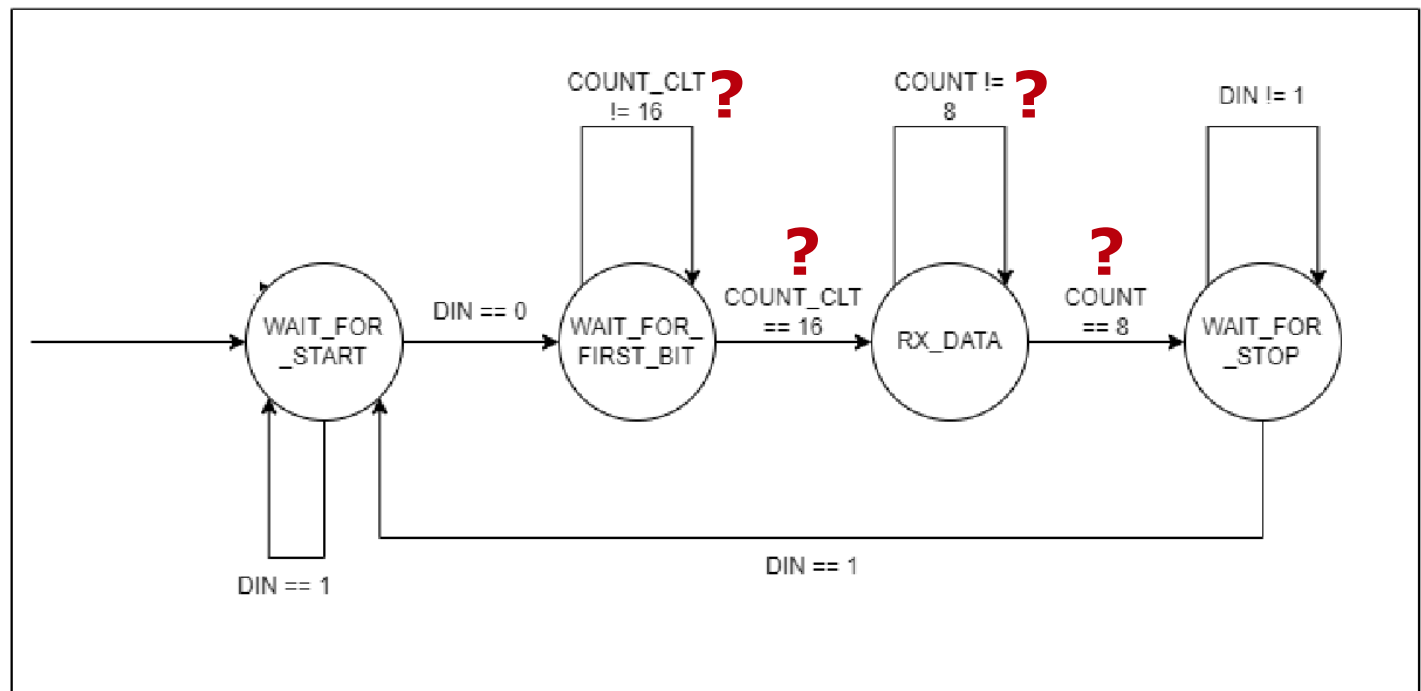
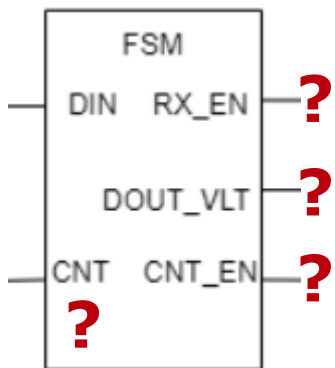
- Piny komponent mají být pojmenovány
 - například u čítače není jasné, který vstup je RST a který CE
 - u D klopného obvodu je potřeba rozlišit D a CE vstupy



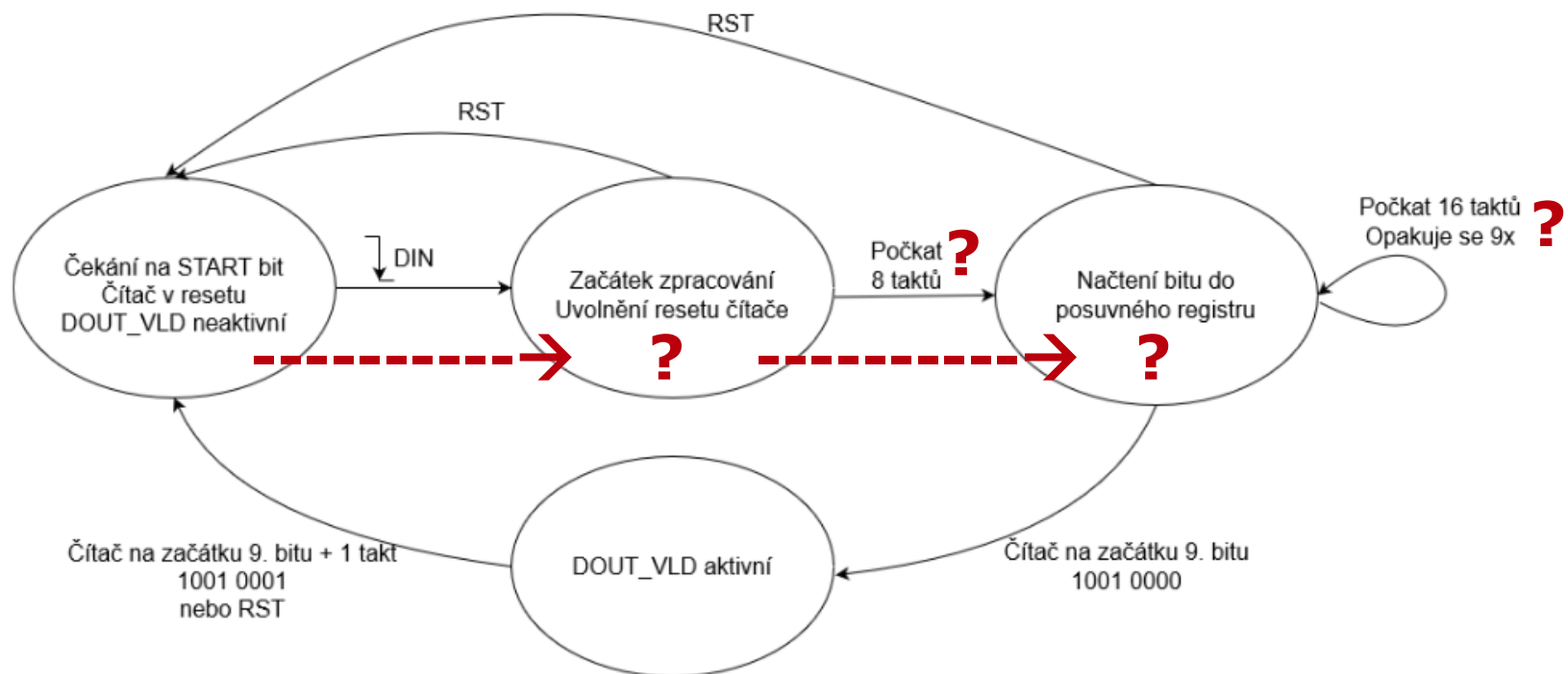
- Přehledně a správně nakresleny vodiče
- Piny komponent mají být pojmenovány
- CLK a RST nemusíme zapojovat



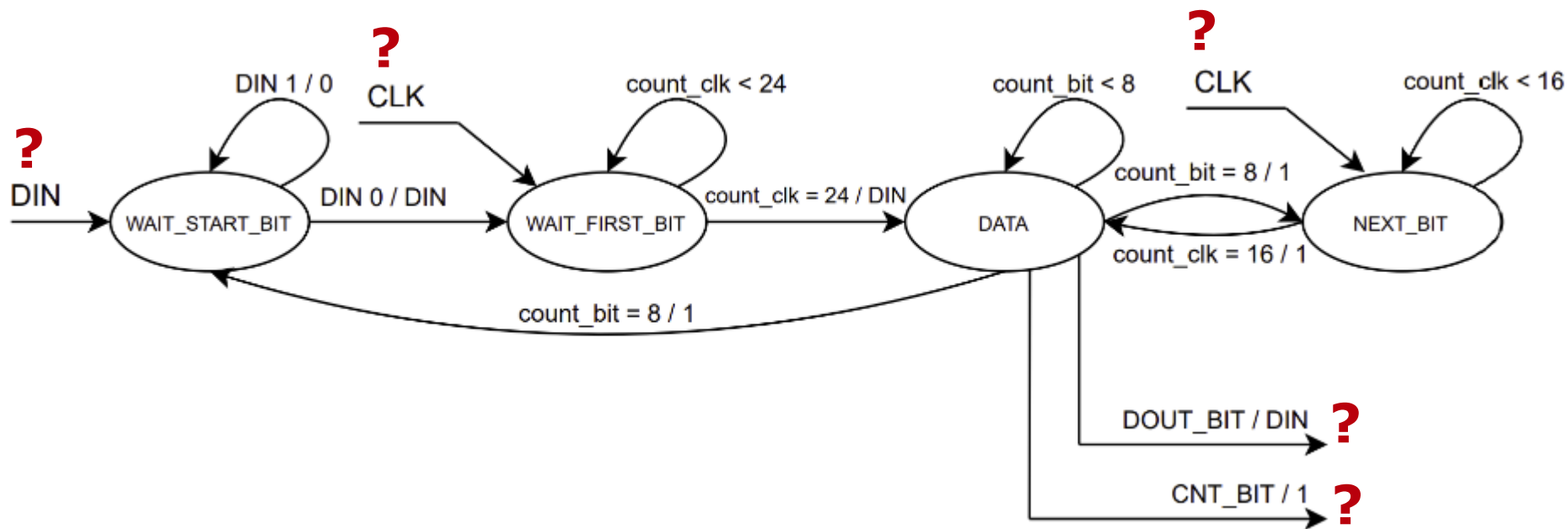
- Neuvedení výstupů automatu a vyznačení jejich hodnot
 - výstupní signály je potřeba rozdělit na Moorovi a Mealyho
 - podle toho pak také zanést jejich hodnoty do grafu
- Automat a RTL schéma spolu nekorespondují



- Automat si mezi takty hodin zapamatuje jen svůj stav
 - jednou nastaveny výstupy nezůstanou zapamatovány
- Automat umí pracovat jenom se svými vstupy a výstupy
 - není možné deklarovat globální akce jako “počkej 16 taktů”



- V grafu automatu se šipkami značí jenom přechody
 - vstupní/výstupní signály ani hodiny se do grafu nekreslí



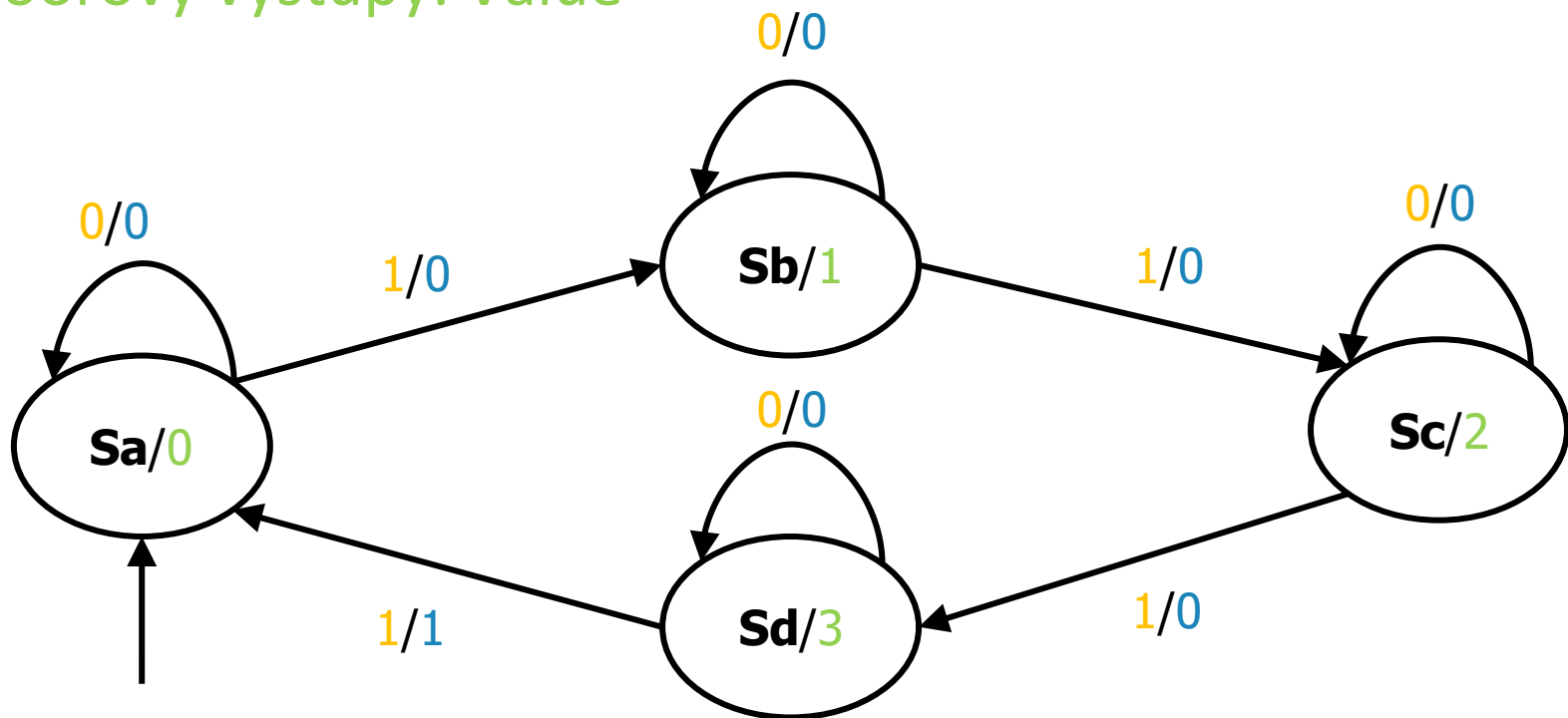
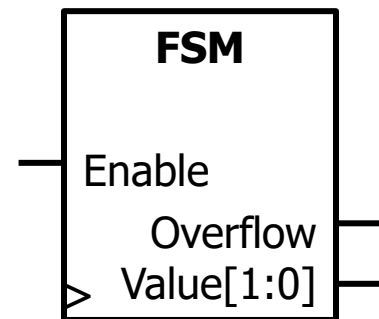
- Vždy vyjmenovat stavy, výstupní a vstupní signály
 - výstupy správně rozdělit na Moorovi a Mealyho
 - signály musí odpovídat FSM podle RTL schématu
- Do grafu zanést hodnoty všech výstupů ve všech situacích
 - značí se konkrétní hodnoty, ne napojení signálu šipkami
 - automat si nic kromě svého stavu neumí zapamatovat
- Automat neumí přímo “spouštět” komplexní akce

Stavy automatu: Sa, Sb, Sc, Sd

Vstupní signály: Enable

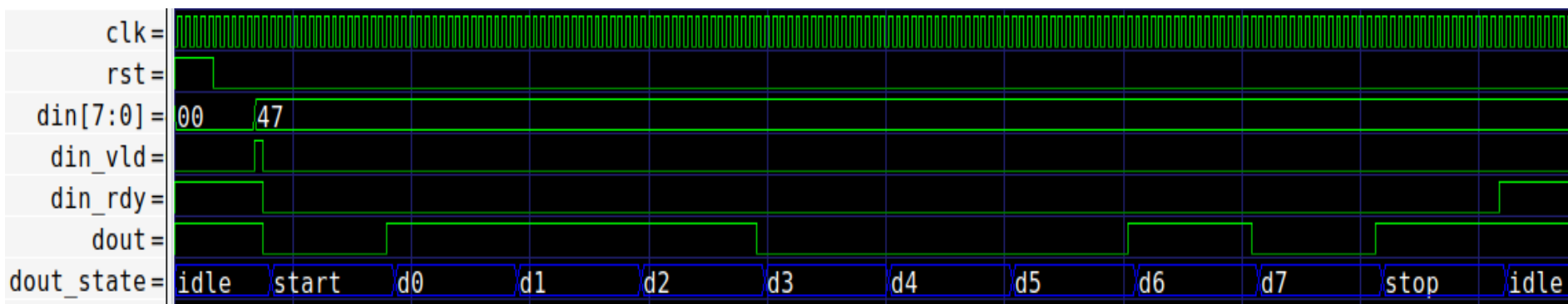
Mealyho výstupy: Overflow

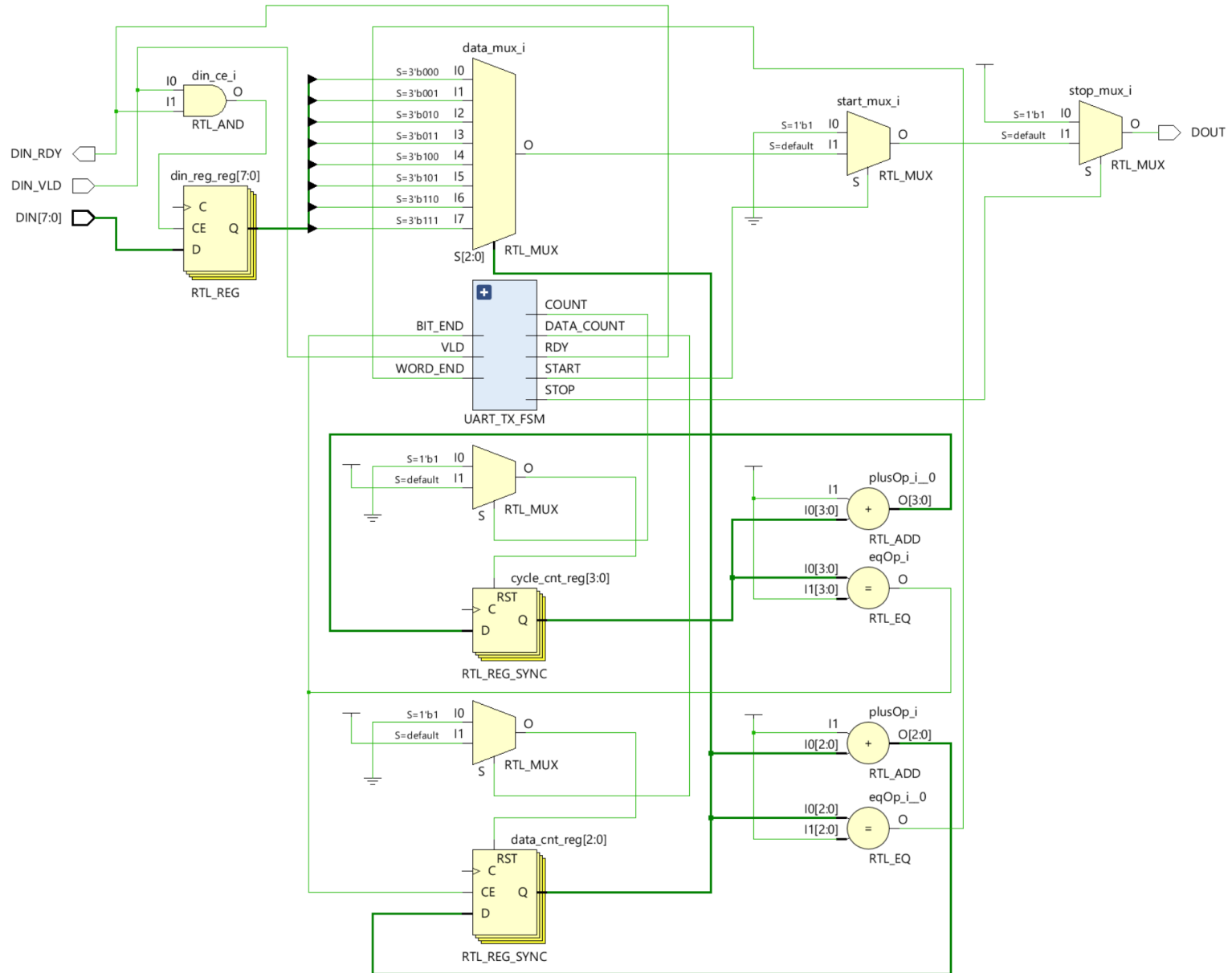
Moorovy výstupy: Value



- **DIN[7:0]** – paralelní 8-bitový datový vstup
- **DIN_VLD** – potvrzení platnosti vstupních dat
- **DIN_RDY** – připravenost jednotky přijat data
DIN platný když jsou VLD a RDY oba v log. 1
- **DOUT** - výstupní serializovaný UART vodič
asynchronní sériové komunikace, slova v pevném formátu:
vysíláme 1x START bit '0', 8x DATA bit, 1x STOP bit '1',
konstantní přenosová (baudová) rychlost a 16x rychlejší CLK

Schématická značka



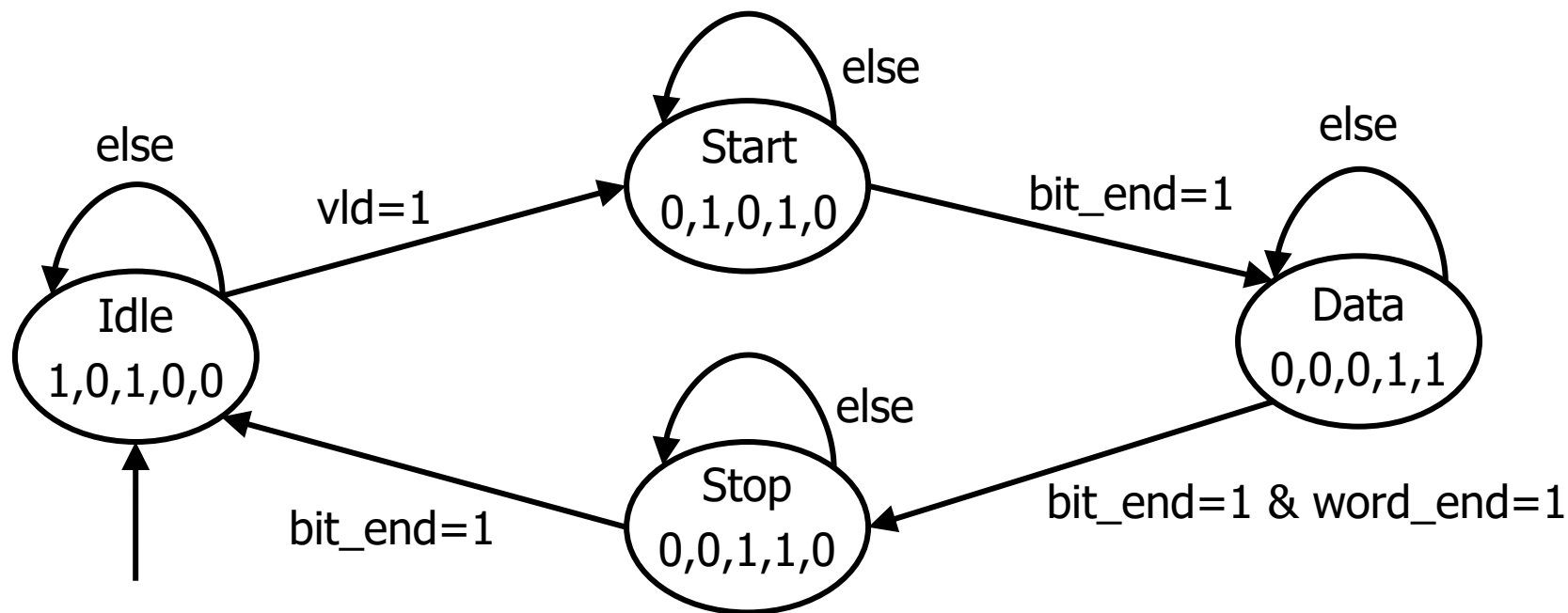


Stavy automatu: Idle, Start, Data, Stop

Vstupní signály: vld, bit_end, word_end

Mealyho výstupy: <žádné>

Moorovy výstupy: rdy, start, stop, count, data_count



Děkuji za pozornost!